

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098245

(43)Date of publication of application : 14.04.1998

(51)Int.Cl. H05K 1/16
H01G 4/12
H05K 3/46

(21)Application number : 08-271899

(71)Applicant : NGK SPARK PLUG CO LTD

(22)Date of filing : 21.09.1996

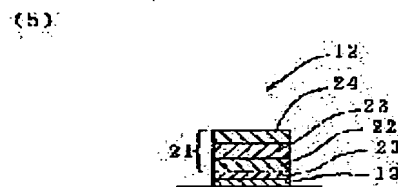
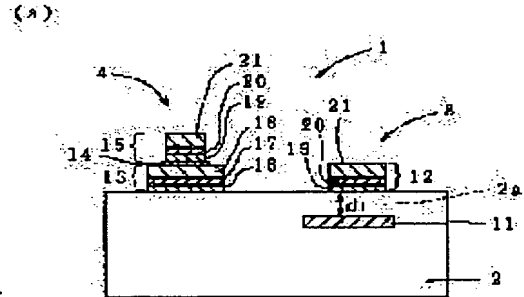
(72)Inventor : TAKADA TOSHIKATSU
HAYAKAWA TOSHITAKA
SETO MASAHARU
TAMAOKI MITSURU

(54) CAPACITOR, SUBSTRATE WITH BUILT-IN CAPACITOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a capacitor of small capacitance and easily adjusted capacitance, and a substrate with a built-in capacitor using it.

SOLUTION: A first capacitor 3 in a substrate 1 with a built-in capacitor has a built-in electrode 11 which is built in a ceramic board 2 and a surface electrode 12 formed in a surface of the board 2 in a position faces the built-in electrode 11, and a substrate part therebetween is a dielectric layer 2a. A second capacitor 4 has a lower electrode 13 formed in a substrate surface, and a dielectric thin film 14 and an upper electrode 15 laminated on the lower electrode 13 and has electrostatic capacitance which is larger than that of the first capacitor 3. The first capacitor 3 of a low capacitance is combined with the second capacitor 4 of a large capacitance and electrostatic capacitance of the first capacitor 3 is adjusted. Thus, it is possible to accurately control the entire the substrate 1 with built-in capacitors.



LEGAL STATUS

[Date of request for examination] 17.07.2002

[Date of sending the examiner's decision of rejection] 09.08.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-98245

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.⁶
H 0 5 K 1/16
H 0 1 G 4/12
H 0 5 K 3/46

識別記号
3 9 4

F I
H 0 5 K 1/16 D
H 0 1 G 4/12 3 9 4
H 0 5 K 3/46 Q

審査請求 未請求 請求項の数 7 F D (全 7 頁)

(21) 出願番号 特願平8-271899

(22) 出願日 平成 8 年(1996) 9 月21 日

(71) 出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市長区瑞穂区高辻町14番18号

(72) 発明者 高田 俊克

愛知県名古屋市長区瑞穂区高辻町14番18号 日
本特殊陶業株式会社内

(72) 発明者 早川 俊高

愛知県名古屋市長区瑞穂区高辻町14番18号 日
本特殊陶業株式会社内

(72) 発明者 瀬戸 政晴

愛知県名古屋市長区瑞穂区高辻町14番18号 日
本特殊陶業株式会社内

(74) 代理人 弁理士 菅原 正倫

最終頁に続く

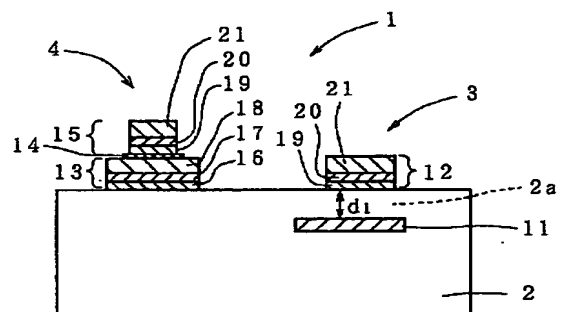
(54) 【発明の名称】 コンデンサ、コンデンサ内蔵基板及びその製造方法

(57) 【要約】

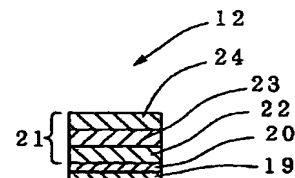
【課題】 小容量でしかもその容量調整が容易なコンデンサと、それを用いたコンデンサ内蔵基板を提供する。

【解決手段】 コンデンサ内蔵基板1において、第一のコンデンサ3は、セラミック基板2中に内蔵された内蔵電極11と、その内蔵電極11と対向する位置において、基板2の表面に形成された表面電極12とを備え、それらの間に挟まれた基板部分が誘電体層2aとされる。また、第二のコンデンサ4は、基板表面に形成された下部電極13と、その下部電極13に対し積層された誘電体薄膜14及び上部電極15とを備え、第一のコンデンサ3より大きい静電容量を有する。大容量の第二のコンデンサ4に対し、低容量の第一のコンデンサ3を組み合わせ、その第一のコンデンサ3の静電容量を調整することで、コンデンサ内蔵基板1の全体の静電容量を精密に制御することができる。

(a)



(b)



【特許請求の範囲】

【請求項1】 セラミック基板中に内蔵された内蔵電極と、その内蔵電極と対向する位置において、前記セラミック基板の表面に形成された表面電極とを備え、それら内蔵電極と表面電極との間に挟まれたセラミック基板部分を誘電体層としたことを特徴とするコンデンサ。

【請求項2】 前記セラミック基板は、複数の板状のセラミック成形体を積層して焼成・一体化したものとされ、

前記内蔵電極は、前記複数のセラミック成形体の少なくとも一つに印刷・形成された導電性材料の電極パターンを、該セラミック成形体とともに焼成したものとされ、前記表面電極は、前記焼成後において前記セラミック基板上に形成したものである請求項1記載のコンデンサ。

【請求項3】 前記内蔵電極は、前記表面電極よりも大きな面積を有するように形成されている請求項1又は2に記載のコンデンサ。

【請求項4】 前記表面電極には、その電極面積を調整するためのレーザートリミングが施されている請求項1ないし3のいずれかに記載のコンデンサ。

【請求項5】 セラミック基板中に内蔵された内蔵電極と、その内蔵電極と対向する位置において、前記セラミック基板の表面に形成された表面電極とを備え、それら内蔵電極と表面電極との間に挟まれたセラミック基板部分を誘電体層とした第一のコンデンサと、その第一のコンデンサの表面電極と同じ側において、前記セラミック基板表面に形成された下部電極と、その下部電極に対し前記セラミック基板と反対側に積層・形成された誘電体薄膜と、その誘電体薄膜に対し前記下部電極とは反対側に積層・形成された上部電極とを備えて、前記第一のコンデンサより大きい静電容量を有する第二のコンデンサとを備えたことを特徴とするコンデンサ内蔵基板。

【請求項6】 板状のセラミック成形体の表面に、導電性材料を用いて電極パターンを印刷・形成する工程と、そのセラミック成形体の該電極パターンが形成された側に、別の板状のセラミック成形体を積層し積層体とする工程と、その積層体を焼成することにより、前記セラミック成形体の積層体をセラミック基板とし、前記電極パターンをそのセラミック基板中に内蔵された内蔵電極とする工程と、その内蔵電極と対向する位置において、焼成後の前記セラミック基板の表面に表面電極を形成する工程を含み、前記内蔵電極と前記表面電極との間に挟まれたセラミック基板部分を誘電体層とすることを特徴とするコンデンサの製造方法。

【請求項7】 前記表面電極にレーザートリミングを施

すことにより、前記コンデンサの静電容量を調整する工程を含む請求項6記載のコンデンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンデンサとそれを用いたコンデンサ内蔵基板、及びコンデンサの製造方法に関する。

【0002】

【従来の技術】従来、混成集積回路等に用いられる薄膜コンデンサとして、例えばアルミナ等のセラミック基板上にスパッタ等により下部電極となる金属膜を形成し、その表面にさらに酸化タンタルや二酸化硅素等の誘電体膜を高周波スパッタ法あるいは反応性スパッタ法等により形成し、さらにその表面に上部電極としての金属膜を形成した構造のものが知られている。一方、下部電極となる金属膜としてタンタルを使用し、その表面部分を陽極酸化することにより誘電体層としての酸化タンタル膜を形成する構成のものも知られている。

【0003】

【発明が解決しようとする課題】ところで、上述のような薄膜コンデンサは、誘電体層の膜厚が小さいため電極単位面積当たりの静電容量が比較的大きい。一般に、コンデンサの静電容量の精度を高めるためには、電極面積を精密に制御する必要があるが、上記薄膜コンデンサにおいては、電極の単位面積当りの静電容量が大きいため、フォトリソグラフ等の手法を用いたとしても、電極面積による容量の微調整には一定の限界があるのが実情である。この場合、形成された電極の一部を、レーザートリミング等の後加工により除去して容量調整を行う方法も考えられるが、誘電体層の厚さが小さいため短絡等の問題が生じやすく適用は困難である。また、上記薄膜コンデンサの構成は、小容量のコンデンサには本質的に不向きであり、結果として幅広い静電容量の範囲がカバーできない欠点もある。

【0004】本発明の課題は、小容量でしかもその容量調整が容易なコンデンサとその製造方法、及び幅広い静電容量の範囲をカバーでき、しかもその容量の精密調整が容易なコンデンサ内蔵基板を提供することにある。

【0005】

【課題を解決するための手段及び作用・効果】上述の課題を解決するために、本発明のコンデンサは、セラミック基板中に内蔵された内蔵電極と、その内蔵電極と対向する位置において、セラミック基板の表面に形成された表面電極とを備え、それら内蔵電極と表面電極との間に挟まれたセラミック基板部分を誘電体層としたことを特徴とする。このように構成されたコンデンサによれば、誘電体層を形成するのがセラミック基板の一部分であり、電極間距離を比較的大きくできるので、容量の小さいコンデンサを容易に得ることができる。

【0006】例えば、セラミック基板の材質をアルミナ

を主体に構成した場合、誘電体層の厚さは $20\sim 200\mu\text{m}$ の範囲で調整することが望ましい。誘電体層の厚さが $20\mu\text{m}$ 未満になると、基板の製造に使用されるセラミック成形体の厚さが薄くなり、ひいてはコンデンサの製造が困難となる。また、厚さが $200\mu\text{m}$ を超えるとコンデンサの静電容量が十分に確保できなくなる。この場合、コンデンサの静電容量は、内蔵電極と表面電極との対向部分の単位面積当りで、おおむね $0.4\sim 4\text{pF}/\text{mm}^2$ の範囲で調整することができる。なお、誘電体層の厚さは、より望ましくは $40\sim 100\mu\text{m}$ の範囲で調整するのがよく、この場合のコンデンサの静電容量の範囲は $0.8\sim 2\text{pF}/\text{mm}^2$ 程度となる。また、誘電体層（あるいはセラミック基板）の材質は、アルミナ以外に窒化アルミニウム、ガラスセラミック、ムライト等を使用することができる。

【0007】セラミック基板は、複数の板状のセラミック成形体（例えばセラミックグリーンシート等の粉末成形体）を積層して焼成・一体化したものとすることができ、内蔵電極は、それらセラミック成形体の間に印刷・形成された導電性材料の電極パターンを、セラミック成形体とともに焼成したものとすることができる。この場合、表面電極は、上記焼成後においてセラミック基板上に形成することができ、その形成方法としては、高周波スパッタ法や真空蒸着等の各種気相成膜法、あるいは無電解メッキ等の化学メッキ法を使用することができるほか、焼成後の基板上に導電性材料を用いて電極パターンを印刷し、その後これを所定の温度で基板に焼き付けて電極とする方法も可能である。なお、表面電極は多層金属膜として構成することもでき、この場合は、各層の少なくとも一部のもの同士を、互いに異なる成膜法により形成するようにしてもよい。

【0008】例えば、基板表面にフォトリソストを用いて電極パターンを転写し、そのパターンに基づいて気相成膜法等により表面電極を形成する手法を用いれば、表面電極の面積、ひいてはコンデンサの静電容量を精密に制御することができる。この場合、内蔵電極は、表面電極よりも大きな面積を有するように形成することが望ましい。すなわち、焼成によりセラミック基板を形成する際に、その収縮により内蔵電極の寸法及び基板上の形成位置が一定の範囲でばらつくことがある。この場合、内蔵電極と表面電極との間にその板面方向に相対的なずれが生じ、例えば両電極が図10(a)に示すようにほぼ同面積を有するものとして形成されていると、表面電極(12)の一部が内蔵電極(11)との対向位置から外れて静電容量が減少することがある。しかしながら、同図(b)に示すように、内蔵電極(11)の面積を表面電極(12)よりも大きくしておけば、内蔵電極の寸法や形成位置にばらつきが生じて、表面電極のほぼ全体を内蔵電極に対向させた状態に維持することができ、所定の静電容量を確保することができる。この場合、内蔵

電極の面積S1と表面電極の面積S2は、セラミック基板の焼成時の寸法収縮のばらつき量に応じて適宜設定される。

【0009】また、本発明のコンデンサにおいては、誘電体層（すなわち、内蔵電極と表面電極との間に挟まれたセラミック基板部分）の厚さが比較的大きいことから、例えば形成された表面電極の一部、例えばその縁部をレーザービームを用いて除去しトリミングすることにより、その面積調整を行うことが可能である。これによってコンデンサの静電容量を、さらに精密に制御することができる。なお、レーザービームを用いて表面電極のトリミングを行う場合、誘電体層の厚さは $20\mu\text{m}$ 以上の範囲で調整することが望ましい。誘電体層の厚さが $20\mu\text{m}$ 未満になると、トリミングを行う際に内蔵電極と表面電極との間に短絡が生じやすくなる。なお、誘電体層の厚さは、より望ましくは $40\mu\text{m}$ 以上の範囲で調整するのがよい。

【0010】次に、本発明のコンデンサ内蔵基板は、少なくとも2つのコンデンサを含んで構成され、上述の本発明のコンデンサを第一のコンデンサとし、さらに下記の構成の薄膜コンデンサを第二のコンデンサとする構成を有する。すなわち、該第二のコンデンサは、上記第一のコンデンサの表面電極と同じ側において、セラミック基板表面に形成された下部電極と、その下部電極に対しセラミック基板と反対側に積層・形成された誘電体薄膜と、その誘電体薄膜に対し下部電極とは反対側に積層・形成された上部電極とを備え、第一のコンデンサより大きい静電容量を有する。すなわち、大容量の第二のコンデンサに対し、低容量の本発明のコンデンサを第一のコンデンサとして組み合わせ、その第一のコンデンサの静電容量を調整することで、コンデンサ内蔵基板の全体の静電容量を精密に制御することができる。

【0011】上記第二のコンデンサの誘電体薄膜は、高周波スパッタ法あるいは反応性スパッタ法等の気相成膜法により形成された、酸化タンタルあるいは二酸化硅素等の誘電性物質薄膜とすることができる。また、陽極酸化法によりタンタル等の金属の表面に形成された酸化物薄膜とすることもできる。

【0012】次に、本発明のコンデンサの製造方法は、以下の工程を含むものとして行うことができる。

- ①板状のセラミック成形体の表面に、導電性材料を用いて電極パターンを印刷・形成する。
- ②そのセラミック成形体の該電極パターンが形成された側に、別の板状のセラミック成形体を積層し積層体とする。
- ③その積層体を焼成することにより、上記セラミック成形体の積層体をセラミック基板とし、電極パターンをそのセラミック基板中に内蔵された内蔵電極とする。
- ④その内蔵電極と対向する位置において、セラミック基板の表面に表面電極を形成して、それら内蔵電極と表面

電極との間に挟まれたセラミック基板部分を誘電体層とするコンデンサを得る。

【0013】上記方法によれば、内蔵電極をセラミック基板の焼成時に同時形成することができ、また、表面電極との間の距離ひいてはコンデンサの静電容量を、セラミック成形体の厚さ調整により容易に行うことができる。

【0014】

【発明の実施の形態】以下、本発明のコンデンサ及びそれを用いたコンデンサ内蔵基板の実施の形態を、図面に示す実施例を参照して説明する。図1は、コンデンサ内蔵基板1を模式的に示すものであり、アルミナ等を主成分とするセラミックス焼成体で構成されたセラミック多層基板（以下、単に基板ともいう）2に対し、本発明に係るコンデンサとして構成された第一のコンデンサ3と、薄膜コンデンサとして構成され、第一のコンデンサ3よりも静電容量の大きい第二のコンデンサ4とが互いに並列接続された形で作り込まれている。

【0015】第一のコンデンサ3は、基板2中に内蔵された内蔵電極11と、その内蔵電極11に対向する位置において、基板2の一方の表面に形成された表面電極12とを備えている。内蔵電極11は、後述する通り、基板2を形成するためのセラミック成形体としてのグリーンシート上にW（タングステン）ないしMo（モリブデン）等の導電性粉末を含むペーストを用いてパターンを印刷し、これを焼成することにより形成されたものである。

【0016】一方、表面電極12は、内蔵電極11よりも小面積に構成された多層金属膜として形成されている。例えば、本実施例において該表面電極12は、図1（b）に示すような5層構造とされており、基板2に最も近い金属膜19が高周波スパッタ法により形成されたチタン膜（膜厚100～500nm）、その上に形成された金属膜20が高周波スパッタ法により形成された銅膜（膜厚300～1000nm）とされている。また、メッキによる金属膜（以下、メッキ膜という）21は、基板2側から電解銅メッキ膜22（膜厚2～5 μ m）、電解ニッケルメッキ膜23（膜厚0.5～2 μ m）、及び電解金メッキ膜24（膜厚2～5 μ m）の3つの層を含む多層メッキ膜とされており、前述の2つの金属膜19、20は基板2とメッキ膜21との間の密着力を高める働きをなしている。なお、図1において、基板及び各層の厚さは誇張して描いている。

【0017】そして、内蔵電極11と表面電極12との間のセラミック基板部分が誘電体層2aを形成しており、その誘電体層2aの厚さ（すなわち、内蔵電極11と表面電極12との対向面同士の距離）d1は、20～200 μ mの範囲で調整することができる。d1を上記の範囲で調整することで、上記第一のコンデンサ3の静電容量は、内蔵電極11と表面電極12との対向部分の単

位面積当りにおいて、おおむね0.4～4pF/mm²程度となる。なお、d1は、望ましくは40～100 μ mの範囲で調整するのがよく、この場合のコンデンサ3の静電容量は、おおむね0.8～2pF/mm²程度となる。

【0018】次に、第二のコンデンサ4は、基板2に対し、第一のコンデンサ3の表面電極12が形成されているのと同じ面上に形成されており、金属多層膜として形成された下部電極13、誘電体薄膜14、及び金属多層膜として形成された上部電極15が、基板2側からこの順序で積層・配列した構造を有している。下部電極13は、例えば基板2側からそれぞれ高周波スパッタ法及び化学メッキ法によりそれぞれ形成されたチタン膜16（膜厚100～500nm）、銅膜17（膜厚5～10nm）、及び β -タンタル膜18（膜厚200～500nm）とされており、誘電体薄膜14は、その β -タンタル膜18の陽極酸化により、膜厚200～1000nmの範囲で形成されたものである。なお、銅膜17の部分は、その上にニッケル膜が形成された銅-ニッケル二層膜としてもよい。

【0019】一方、第二のコンデンサ4の上部電極15は、第一のコンデンサ3の表面電極12と同時に形成されたものであり、該表面電極12と全く同じ構造の多層金属膜として構成されている。

【0020】ここで、誘電体薄膜14として陽極酸化による酸化タンタル膜を使用する場合、その膜厚d2を0.1～2 μ mの範囲で調整することができる。d2が0.1 μ m未満になると、コンデンサの耐圧が不足する場合がある。また、d2が2 μ mを超えると誘電体薄膜14の形成時に絶縁破壊を生じてしまうことがある。この場合、第二のコンデンサ4の静電容量は、上部電極15と下部電極13との対向部分の単位面積当りで、おおむね90～1800pFとなる。なおd2は、より望ましくは0.2～1.5 μ mとするのがよく、この場合のコンデンサ4の静電容量は、おおむね100～900pF/mm²程度となる。なお、酸化タンタル膜は、高周波スパッタ法や反応性スパッタ法により形成したものであってもよい。

【0021】例えば、第一及び第二の各コンデンサ3及び4が、それぞれ電極面積を0.1～2.0mm²の範囲で調整可能であるとした場合、前述のd1の範囲を考慮すれば、第一のコンデンサ3については0.04～8pF、第二のコンデンサ4については9～3600pFの各静電容量範囲がカバーされる。そして、第一及び第二の各コンデンサ3及び4の一方を省略して、それぞれ単独で使用する場合も考えれば、両者の組合わせにより0.04～3600pFの広い静電容量範囲をカバーすることができる。

【0022】なお、誘電体薄膜14を、高周波スパッタ法により形成した二酸化硅素膜とすることもできる。この場合、その膜厚d2を0.1～3 μ mの範囲で調整する

ことができる。d2が0.1 μm 未満になると、コンデンサ4の耐圧が不足する場合がある。また、膜厚が3 μm を超えると誘電体薄膜14の形成に長時間を要し、コンデンサ4の製造能率が低下する。この場合、コンデンサ4の静電容量は、上部電極15と下部電極13との対向部分の単位面積当たりで、おおむね12~350 pF/ mm^2 となる。なお、d2は、より望ましくは0.2~1 μm とするのがよく、この場合のコンデンサ4の静電容量は、おおむね35~180 pF/ mm^2 程度となる。

【0023】以下、コンデンサ内蔵基板1の製造方法について説明する。まず、図2に示すように、アルミナ粉末を主体に構成された各種厚さのセラミックグリーンシート51及び52を用意する。ここで、基板2の上表面を形成することとなるグリーンシート51の厚さは、焼成後における厚さが前述の距離d1(図1)に等しくなるように調整される。そして、シート52には、導電性材料を含むペーストにより、第一のコンデンサ3の内蔵電極11を形成するためのパターン53が印刷・形成される。そして、この状態で両シート51及び52を互いに積層し、さらに温度1400~1600℃で焼成することにより、図3に示すように、シート51及び52は焼成・一体化されて基板2を形成するとともに、パターン53は焼結されて内蔵電極11となる。

【0024】次に、図4に示すように、こうして得られた基板2の上表面に、前述のチタン膜16及び銅膜17aを高周波スパッタ法によりこの順序で形成する。そして、その形成された多層膜の表面をフォトリソ被膜で覆い、所定のパターンを露光・現像することにより、図4に示すように、第二のコンデンサ4の下部電極13として予定された部分以外をフォトリソ被膜62で覆った状態とする。続いて、この状態で電解銅メッキ及び電解ニッケルメッキをこの順序で順次施し、銅/ニッケル二層メッキ膜17bを形成する。そして、その二層メッキ膜17bの形成後にフォトリソ被膜62を除去し、さらにエッチング処理により下部電極13に予定された以外の部分の多層膜を除去することにより、上記チタン膜16、銅膜17a及び二層メッキ膜17bからなる下部電極13が形成される。

【0025】次に、図6に示すように、タンタル膜18を高周波スパッタ法により形成し、さらにその表面部を陽極酸化することにより、これを酸化タンタルに転化して誘電体薄膜14とする。また、図示はしていないが下部電極13をフォトリソ被膜で覆い、エッチング処理を施してタンタル膜18の不要な部分18aを除去する。そして、図7に示すように、基板2の全面に、第一のコンデンサ3の表面電極12の一部及び第二のコンデンサ4の上部電極15の一部をなすチタン膜19と銅膜20とを、それぞれ高周波スパッタにより形成する。そして、図8に示すように、基板2の、第一及び第二のコンデンサ3及び4に予定された部分以外の領域にフォ

トリソ被膜64を形成する。そして、この状態でフォトリソ被膜64の形成されていない領域(すなわち、第一及び第二のコンデンサ3及び4に予定された部分)に、電解銅メッキ、電解ニッケルメッキ及び電解金メッキをこの順序で順次施して、前述のメッキ膜21を形成する。そして、その後、上記フォトリソ被膜64を除去し、さらにこれにより露出したチタン膜19と銅膜20の部分を化学エッチング等により除去することにより、図1に示すコンデンサ内蔵基板1が得られる。なお、図6及び図7においては、銅膜17a及び二層メッキ膜17bは多層膜17として一体に描いている。

【0026】ここで、図9に示すように、第一のコンデンサ3の表面電極12の縁部をレーザービームLにより除去してトリミングを行うことにより、該第一のコンデンサ3の静電容量、すなわちコンデンサ内蔵基板1の合成静電容量の微調整を行うことができる。この場合、表面電極12と内蔵電極11との間で短絡が生じないように、誘電体層2aの厚さd1は10 μm 以上、望ましくは40 μm 以上とされる。

【0027】なお、基板2には、コンデンサ内蔵基板1以外にも、その表面ないし内部に薄膜抵抗素子あるいは薄膜コイル等を作り込むことができ、これにより各種混成集積回路基板としても構成できる。

【図面の簡単な説明】

【図1】本発明のコンデンサ内蔵基板の一実施例を示す断面模式図。

【図2】その製造工程説明図。

【図3】図2に続く工程説明図。

【図4】図3に続く工程説明図。

【図5】図4に続く工程説明図。

【図6】図5に続く工程説明図。

【図7】図6に続く工程説明図。

【図8】図7に続く工程説明図。

【図9】レーザートリミングによりコンデンサの静電容量を調整する方法の説明図。

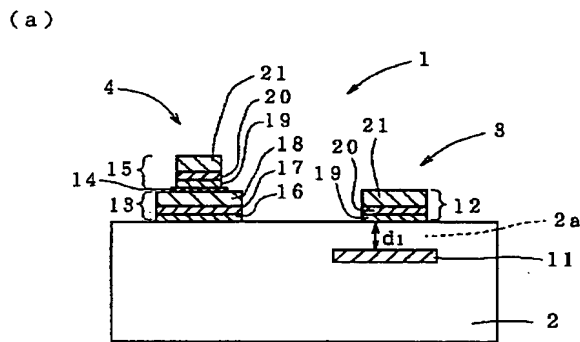
【図10】第一のコンデンサにおいて、内蔵電極の面積を表面電極よりも大きくすることの効果の説明図。

【符号の説明】

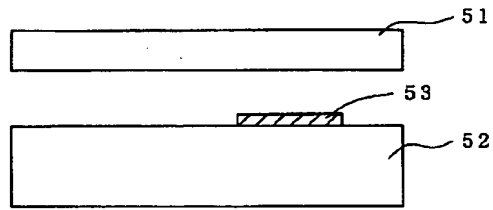
- 1 コンデンサ内蔵基板
- 2 セラミック多層基板
- 2a 誘電体層
- 3 第一のコンデンサ
- 4 第二のコンデンサ
- 11 内蔵電極
- 12 表面電極
- 13 下部電極
- 14 誘電体薄膜
- 15 上部電極
- 51, 52 セラミックグリーンシート(セラミック成形体)

53 電極パターン

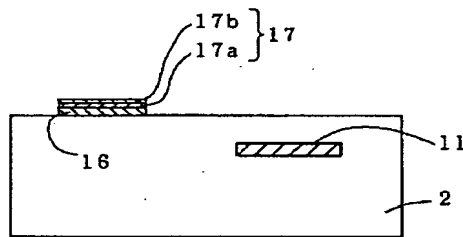
【図1】



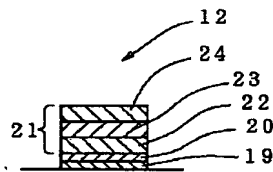
【図2】



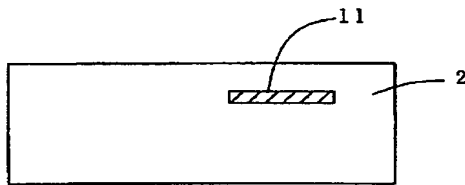
【図5】



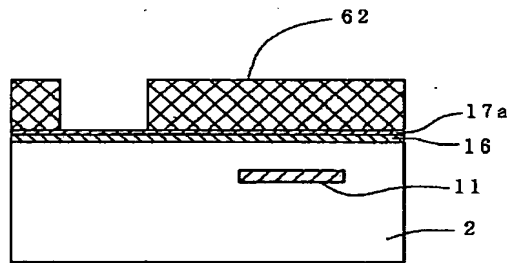
(b)



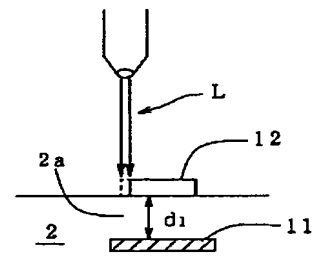
【図3】



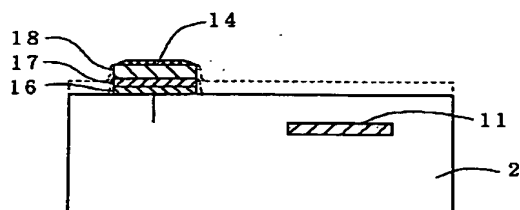
【図4】



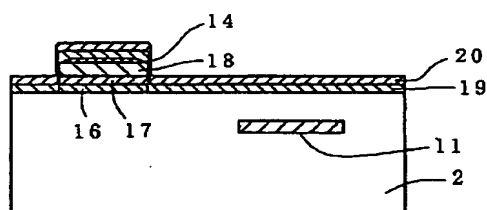
【図9】



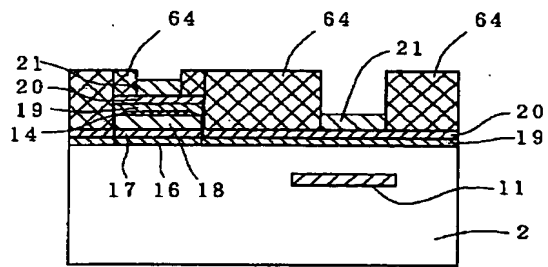
【図6】



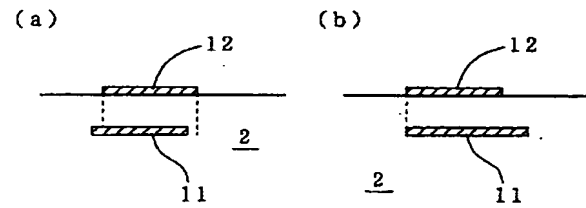
【図7】



【図8】



【図10】



フロントページの続き

(72)発明者 玉置 充
愛知県名古屋市瑞穂区高辻町14番18号 日
本特殊陶業株式会社内